

明 細 書

半導体装置およびその製造方法

〔技術分野〕

本発明は、メモリトランジスタを含む半導体装置およびその製造方法に関する。

〔背景技術〕

電氣的に消去可能なプログラマブルROM (EEPROM) に適用されるデバイスとして、スプリットゲート型の不揮発性メモリトランジスタおよびスタックド型の不揮発性メモリトランジスタが知られている。以下、スプリットゲート型の不揮発性メモリトランジスタを含む半導体装置の一例を説明する。図18は、スプリットゲート型の不揮発性メモリトランジスタを含む半導体装置の従来の一例を模式的に示す断面図である。

スプリット型の不揮発性メモリトランジスタ300は、N型トランジスタを例にとると、図18に示すように、P型のシリコン基板10内に形成されたN⁺型不純物拡散層からなるソース領域14およびドレイン領域16と、シリコン基板10の表面に形成されたゲート絶縁層としての第1の絶縁層70とを有する。この第1の絶縁層70上には、フローティングゲート72と、第2の絶縁層76と、コントロールゲート78とが順次形成されている。

フローティングゲート72の上には、第3の絶縁層74が形成されている。この第3の絶縁層74は、フローティングゲート72となるポリシリコン層の一部を選択酸化することによって形成された絶縁層から構成される。つまり、第3の絶縁層74は、図18に示すように、中央から両端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート72の両端の上縁部720は鋭角に形成され、これらの上縁部720で電界集中が起きやすくなっている。シリコン基板10の上には、層間絶縁層240が形成されている。層間絶縁層240は、一般的に、酸化シリコン層のみから構成される。層間絶縁層240の所定の領域において、スルーホール246が形成されている。スルーホール2

46内には、導電材が充填されて、コンタクト層32が形成されている。層間絶縁層240の上には、コンタクト層32と電氣的に接続された配線層30が形成されている。

このスプリットゲート構造のメモリトランジスタ300を動作させる場合には、たとえば、データの書き込み時には、ソース領域14とドレイン領域16間にチャネル電流を流し、矢印A10で示すように、電荷（ホットエレクトロン）をフローティングゲート72に注入する。また、データの消去時には、所定の高電圧をコントロールゲート78に印加し、ファウラー・ノルドハイムトンネル伝導（FN伝導）によって、フローティングゲート72に蓄積された電荷を、矢印B10で示すように、第2の絶縁層76を介してコントロールゲート78に移動させる。

本発明の目的は、不揮発性メモリトランジスタの特性安定性が向上された、不揮発性メモリトランジスタを有する半導体装置およびその製造方法を提供することにある。

[発明の開示]

本発明の1具体例に係る半導体装置は、不揮発性メモリトランジスタを有し、前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層が設けられ、前記層間絶縁層は、前記不揮発性メモリトランジスタと、前記半導体層の上方に形成された導電層とを電氣的に分離するための絶縁層であり、前記層間絶縁層は、窒化物を含む層を含む。

本発明の1具体例に係る半導体装置は、層間絶縁層は、窒化物を含む層を含む。このため、層間絶縁層を形成した後における、種々の工程において発生するプロセス・インデュースト・チャージから、不揮発性メモリトランジスタを保護することができる。その結果、たとえば、不揮発性メモリトランジスタのFTV (Forward Tunnel Voltage)、FTUR(Forward Trap Up Rate)および書換え可能回数 (Endurance) の特性を向上させることができる。

本発明の具体例に係る半導体装置において、好ましくは、前記窒化物を含む層は、次の態様１）および２）のうち、少なくともいずれかの態様をとることができる。

１）窒化物を含む層は、前記層間絶縁層の最下層として設けられている態様、前記層間絶縁層の最上層として設けられている態様、または、前記層間絶縁層の中間層として設けられている態様をとることができる。

２）前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方であることができる。

本発明の具体例に係る半導体装置において、さらに好ましくは、前記不揮発性メモリトランジスタは、次の態様１）および２）のうち、いずれかの態様をとることができる。

１）前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介して配置されたフローティングゲートと、前記フローティングゲートの少なくとも一部と接触するトンネル絶縁層と、前記トンネル絶縁層の上に形成されたコントロールゲートと、前記半導体層内に形成されたソース領域およびドレイン領域とを含む態様。

２）前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介して配置されたフローティングゲートと、前記フローティングゲートの上に中間絶縁層を介して配置されたコントロールゲートと、前記半導体層内に形成されたソース領域およびドレイン領域とを含む態様。

本発明の他の具体例に係る半導体装置は、半導体層に形成された不揮発性メモリトランジスタを有する半導体装置であって、前記半導体層および前記不揮発性メモリトランジスタの上に設けられた層間絶縁層を有し、前記層間絶縁層は、前記層間絶縁層の最下層として設けられた酸化膜と、前記酸化膜上に設けられた窒化物を含む層と、を含む。

本発明の具体例において、好ましくは、前記酸化膜の厚さは、１０～８０ｎｍとすることができる。さらに、前記酸化膜の厚さが３０～７０ｎｍの範囲にあることにより、後述する理由で、書換え可能回数上必要な特性を確保するとともに、

コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定化させることができる。

本発明の具体例において、さらに好ましくは、前記酸化膜は、TEOSを用いた減圧CVD法によって形成された酸化膜とすることができる。

本発明の具体例に係る半導体装置の製造方法は、以下の工程を有する。

(a) 半導体層において、不揮発性メモリトランジスタを形成する工程、

(b) 前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層を形成する工程であって、

前記層間絶縁層は、前記半導体層の上方に形成される配線層と、該不揮発性メモリトランジスタとを電氣的に分離するための絶縁層であり、前記層間絶縁層は窒化物を含む層を含む。

本発明の具体例に係る半導体装置の製造方法において、窒化物を含む層および不揮発性メモリトランジスタは、本発明の具体例に係る半導体装置と同様の態様をとることができる。

ここで、上記の「半導体層」には、半導体基板および基板の上に形成された半導体層を含む。

[図面の簡単な説明]

図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

図2は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図3は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図4は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図5は、第1の実施の形態に係る半導体装置の変形例を示す。

図6は、第1の実施の形態に係る半導体装置の変形例を示す。

図7は、第1の実施の形態に係る半導体装置の変形例を示す。

図8は、第2の実施の形態に係る半導体装置を模式的に示す断面図である。

図9は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図10は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図11は、第2の実施の形態に係る半導体装置の変形例を示す。

図12は、第2の実施の形態に係る半導体装置の変形例を示す。

図13は、第2の実施の形態に係る半導体装置の変形例を示す。

図14は、FTVと、累積サンプル率との関係を示すグラフである。

図15は、FTURと、累積サンプル率との関係を示すグラフである。

図16は、書換え可能回数と、累積サンプル率との関係を示すグラフである。

図17は、酸化シリコン層とFTURとの関係、および、酸化シリコン層とDelta WL-Vthとの関係を示す図である。

図18は、従来例に係る半導体装置を模式的に示す断面図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

(第1の実施の形態)

以下、第1の実施の形態に係る半導体装置について説明する。図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

半導体装置は、スプリットゲート構造を有する不揮発性メモリトランジスタ（以下「メモリトランジスタ」という）100を含む。メモリトランジスタ100は、ソース領域14と、ドレイン領域16と、ゲート絶縁層20とを有する。ソース領域14およびドレイン領域16は、n型トランジスタを例にとると、P型のシリコン基板10内に形成されたn⁺型不純物拡散層からなる。ゲート絶縁層20は、シリコン基板10の表面に形成されている。

ゲート絶縁層20の上には、フローティングゲート22と、トンネル絶縁層26と、コントロールゲート28とが順次形成されている。

フローティングゲート22の上には、上部絶縁層24が形成されている。上部絶縁層24は、図1に示すように、中央部から端部へ向けてその膜厚が薄くなる

構造を有する。その結果、フローティングゲート 22 の上縁部 220 の両端は、鋭角に形成され、この上縁部 220 で電界集中が起きやすいようになっている。

トンネル絶縁層 26 は、上部絶縁層 24、フローティングゲート 22 およびシリコン基板 10 を覆うようにして形成されている。

このトンネル絶縁層 26 の上面には、コントロールゲート 28 が形成されている。コントロールゲート 28 の上には、必要に応じて、シリサイド層（図示せず）を形成してもよい。シリサイド層の材質としては、たとえば、タングステンシリサイド、モリブデンシリサイド、チタンシリサイド、コバルトシリサイドを挙げることができる。

さらに、メモリトランジスタ 100 が形成されたウエハの上には、層間絶縁層 40 が形成されている。層間絶縁層 40 の最下層において、窒化物を含む層 42 が設けられている。窒化物を含む層 42 の上には、層間絶縁層 40 の一部を構成する酸化シリコン層 44 が形成されている。窒化物としては、窒化シリコン、窒化酸化シリコンを挙げることができる。窒化物を含む層 42 の厚さは、たとえば 50 ~ 100 nm、好ましくは 50 ~ 70 nm である。

この層間絶縁層 40 には、たとえば、ドレイン領域 16 に到達するコンタクトホール 46 が形成されている。コンタクトホール 46 内には、コンタクト層 32 が形成されている。コンタクト層 32 は、たとえばタングステンプラグからなる。さらに、コンタクト層 32 および層間絶縁層 40 の上には所定パターンの配線層 30 が形成されている。

次に、本発明の半導体装置を構成するメモリトランジスタ 100 の動作方法の一例について、図 1 を参照して説明する。

図 1 において、 V_c はコントロールゲート 28 に印加される電圧を示し、 V_s はソース領域 14 に印加される電圧を示し、 V_d はドレイン領域 16 に印加される電圧を示し、 V_{sub} は P 型のシリコン基板 10 に印加される電圧を示す。

このスプリットゲート構造のメモリトランジスタ 100 を動作させる場合には、データの書き込み時には、ソース領域 14 とドレイン領域 16 間にチャネル電流を流し、電荷（ホットエレクトロン）をフローティングゲート 22 に注入する。データの消去時には、所定の高電圧をコントロールゲート 28 に印加し、FN 伝

導によってフローティングゲート22に蓄積された電荷をコントロールゲート28に移動させる。以下に、各動作の一例について述べる。

まず、書き込み動作について述べる。なお、矢印A1は、書き込み時の電子の流れを示す。

データの書き込み動作においては、ドレイン領域16に対してソース領域14を高電位にし、必要に応じてコントロールゲート28に所定電位を印加する。これにより、ドレイン領域16付近で発生するホットエレクトロンは、フローティングゲート22に向かって加速され、ゲート絶縁層20を介してフローティングゲート22に注入され、データの書き込みがなされる。

この書き込み動作では、例えば、コントロールゲート28の電位(V_c)を2V、ソース領域14の電位(V_s)を10.5V、ドレイン領域16の電位(V_d)を0.8Vとする。また、シリコン基板10の電位(V_{sub})を0Vとする。

次に、消去動作について説明する。なお、矢印B1は、消去時の電子の流れを示す。

消去動作においては、ソース領域14およびドレイン領域16の電位に対してコントロールゲート28の電位を高くする。これにより、フローティングゲート22内に蓄積された電荷は、フローティングゲート22の先鋭な上縁部220からFN伝導によってトンネル絶縁層26を突き抜けてコントロールゲート28に放出されて、データが消去される。

この消去動作では、例えば、コントロールゲート28の電位(V_c)を11.5Vとし、ソース領域14およびドレイン領域16の電位 V_s および V_d を0Vとし、シリコン基板10の電位(V_{sub})を0Vとする。

次に読み出し動作について説明する。なお、矢印C1は、読み出し時の電子の流れを示す。

読み出し動作においては、ソース領域14に対してドレイン領域16を高電位とし、コントロールゲート28に所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲート22に電荷が注入されていると、フローティングゲート22の電位

が低くなるため、チャンネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート22に電荷が注入されていないと、フローティングゲート22の電位が高くなるため、チャンネルが形成されてドレイン電流が流れる。そこで、ドレイン領域16から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ100のデータを読み出すことができる。

読み出し動作においては、例えば、コントロールゲート28の電位(V_c)は3.0Vとし、ソース領域14の電位(V_s)を0Vとし、ドレイン領域16の電位(V_d)を1Vとし、シリコン基板10(V_{sub})を0Vとする。

以下、本実施の形態に係る半導体装置の作用効果を説明する。

本実施の形態においては、層間絶縁層40は、窒化物を含む層42を含む。このため、層間絶縁層40を形成した後における、種々の工程において発生するプロセス・インデュースト・チャージから、メモリトランジスタ100を保護することができる。また、トンネル絶縁層26を劣化する水素などの分子やイオンから、トンネル絶縁層26を保護することができる。その結果、メモリトランジスタ100のFTV、FTUR、書換え可能回数の特性を向上させることができる。

実施の形態に係る半導体装置の製造方法を説明する。図2～図4は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

(A) まず、図2(a)に示すように、シリコン基板10の表面に、熱酸化法により、酸化シリコン層(ゲート絶縁層)20を形成する。酸化シリコン層20の厚さは、特に限定されないが、ゲート耐圧、データ保持特性などを考慮して好ましくは7～9nmである。

次に、酸化シリコン層20の表面に、ポリシリコン層22を形成し、これにリンやヒ素を拡散してn型のポリシリコン層22を形成する。ポリシリコン層22の形成方法は、特に限定されず、たとえば、CVD法である。ポリシリコン層22の厚さは、たとえば50～300nmであり、好ましくは100～200nmである。

ポリシリコン層22をn型にする他の方法としては、ポリシリコン層22を形成した後、リンやヒ素をイオン注入する方法、ポリシリコン層22を形成した後、塩化ホスホリル($POCl_3$)を含んだキャリアガスを導入する方法、あるいは

ポリシリコン層 22 を形成する時に、ホスフィン (PH_3) を含んだキャリアガスを導入する方法、などがある

次に、ポリシリコン層 22 の表面に、例えば CVD 法で窒化シリコン層 50 を形成する。次いで、リソグラフィ技術を利用して、窒化シリコン層 50 の所定領域を選択的にエッチングして除去する。窒化シリコン層 50 の除去される領域 24 H は、メモリトランジスタ 100 の上部絶縁層 24 が形成される領域である。

(B) 次いで、図 2 (b) に示すように、ポリシリコン層 22 の露出部分を選択的に酸化することにより、ポリシリコン層 22 の所定領域の表面に上部絶縁層 24 を形成する。選択酸化によって形成された上部絶縁層 24 は、中央部の膜厚が最も大きく、端部では徐々に膜厚が小さくなる断面形状を有する。その後、窒化シリコン層 50 を除去する。

(C) 次に、図 2 (c) に示すように、上部絶縁層 24 をマスクとしてポリシリコン層 22 を選択的にエッチングする。さらに、シリコン基板 10 上の酸化シリコン層 20 を除去する。

(D) 次に、図 3 (a) に示すように、全面に、酸化シリコン層 (トンネル絶縁層) 26 を堆積する。酸化シリコン層 26 の厚さは、たとえば 20 ~ 25 nm である。酸化シリコン層 26 の形成方法は、特に限定されず、たとえば熱酸化法、CVD 法をあげることができる。好ましい CVD 法は、高温熱 CVD 法 (たとえばシランベースの高温熱 CVD 法) である。高温熱 CVD 法により酸化シリコン層 26 を形成すると、酸化シリコン層 26 の膜質が緻密になるという利点がある。

また、酸化シリコン層 26 は、複数の層が積層されて構成されていてもよい。具体的には、酸化シリコン層 26 は、熱酸化法により得られた第 1 の酸化シリコン層と、CVD 法により得られた第 2 の酸化シリコン層との積層構造を有していてもよい。そして、酸化シリコン層 26 は、熱酸化法により得られた第 1 のシリコン酸化膜と、高温熱 CVD 法により得られた第 2 のシリコン酸化膜と、熱酸化法により得られた第 3 のシリコン酸化膜の 3 層構造を有することが好ましい。フローティングゲート 22 及びコントロールゲート 28 とそれぞれ接する第 1 及び第 3 のシリコン酸化膜を熱酸化法で形成すると、フローティングゲート 22 およびコントロールゲート 28 の界面準位が安定し、消去動作特性が安定するという

利点がある。また、第1および第3のシリコン酸化膜の間に熱CVD法により得られた酸化膜を形成すると、トンネル絶縁層として機能する酸化シリコン層に必要な膜厚を高い制御性で確保することができるという利点がある。

次に、酸化シリコン層26の表面に、ポリシリコン層28を形成する。ポリシリコン層28の形成方法は、特に限定されず、たとえば、CVD法である。ポリシリコン層28は、上述したポリシリコン層22と同様の方法により、n型にすることができる。ポリシリコン層28の膜厚は、たとえば50～300nmである。

次に、必要に応じて、ポリシリコン層28の上に、シリサイド層（図示せず）を形成する。シリサイド層は、たとえば、スパッタ法、CVD法により形成されることができる。

次いで、コントロールゲート28上に所定のパターンを有するレジスト層（図示せず）を形成する。その後、図4（a）に示すように、リソグラフィ技術を利用して、ポリシリコン層28を選択的にエッチングする。

（E）次いで、公知の方法により、n型不純物をシリコン基板10にドーピングすることにより、ソース領域14およびドレイン領域16を形成する。以上の工程によって、メモリトランジスタ100が形成される。

（F）次に、図4（b）に示すように、シリコン基板10の上に、窒化物を含む層42を形成する。窒化物を含む層42は、たとえばCVD法により形成される。CVD法の具体例としては、熱CVD法、プラズマCVD法を挙げることができる。

次に、窒化物を含む層42の上に、酸化シリコン層44を形成する。酸化シリコン層44は、たとえばCVD法により形成される。これにより、窒化物を含む層42と酸化シリコン層44とで構成される層間絶縁層40が形成される。

次に、図1に示すように、層間絶縁層40の所定領域を選択的にエッチング除去し、ドレイン領域16などに到達するコンタクトホール42を形成する。次いで、コンタクトホール42内に、導電材（たとえばタングステン）を充填し、コンタクト層32を形成する。

次に、層間絶縁層 40 の上に、例えばスパッタ法を用いてアルミニウムなどからなる導電層を堆積し、この導電層をパターンングすることにより、配線層 30 を形成する。

第 1 の実施の形態は、次の変形が可能である。

(1) 窒化物を含む層 42 は、図 5 に示すように、層間絶縁層 40 の中間層として設けられてもよい。具体的には、層間絶縁層 40 は、酸化シリコン層 44 a、窒化物を含む層 42 および酸化シリコン層 44 b が順次積層されて構成されていてもよい。

(2) 窒化物を含む層 42 は、図 6 に示すように、薄い酸化シリコン層 48 を介して、コントロールゲート 28 およびトンネル絶縁層 26 の上に形成されることが好ましい。酸化シリコン層 48 を形成することにより、窒化物を含む層 42 と下地との密着性が向上し、また、窒化物を含む層 42 のダメージを低減することができる。

ここで、酸化シリコン層 48 を 10～80 nm と薄く形成することで、コンタクトホール 46 を形成するエッチング工程を、図 5 に示す変形例 (1) に比べて少なくすることができる。変形例 (1) の場合、図 5 に示すように、酸化シリコン層 44 a の膜厚が大きいため、コンタクトホール 46 を形成するためには、層間絶縁層 40 のうち、酸化シリコン層 44 b、窒化物を含む層 42、および酸化シリコン層 44 a のそれぞれの層に対して各々エッチング工程が必要である。これに対して、図 6 に示す変形例 (2) は、酸化シリコン層 48 が 10～80 nm と薄いため、窒化物を含む層 42 のエッチング工程において、オーバーエッチングにより酸化シリコン層 48 をエッチングすることができる。したがって、コンタクトホール 46 を形成するためのエッチング工程を、変形例 (1) に比べて少なくすることができる。

さらに、酸化シリコン層 48 を 30～70 nm とすることで、メモリ特性を向上させることができる。詳細な説明は後述の実験例 2 で述べる。

また、酸化シリコン層 48 は、TEOS を用いた減圧 CVD 法により形成した膜を用いることが好ましい。詳細な説明は後述の実験例 3 で述べる。

(3) 窒化物を含む層42は、図7に示すように、層間絶縁層40の最上層として設けられてもよい。具体的には、層間絶縁層40は、酸化シリコン層44および窒化物を含む層42が順次積層されて構成されていてもよい。この場合、層間絶縁層40は、酸化シリコン層44を全面に堆積した後、酸化シリコン層44を化学的機械的研磨法により平坦化した後、窒化物を含む層42を堆積して形成されることができる。

(第2の実施の形態)

以下、第2の実施の形態に係る半導体装置を説明する。図8は、第2の実施の形態に係る半導体装置を模式的に示す断面図である。

第2の実施の形態に係る不揮発性メモリトランジスタ（以下「メモリトランジスタ」という）200は、スタックド型である。具体的には、メモリトランジスタ200は、ゲート絶縁層120と、ソース領域114と、ドレイン領域116とを有する。ゲート絶縁層120の上には、フローティングゲート122、中間絶縁層124およびコントロールゲート126が順次積層されている。フローティングゲート122、中間絶縁層124およびコントロールゲート126の側壁には、サイドウォール130が形成されている。

シリコン基板110の上には、層間絶縁層140が形成されている。層間絶縁層140の最下層において、窒化物を含む層142が形成されている。窒化物を含む層142の構成は、第1の実施の形態と同様の構成をとることができる。窒化物を含む層142の上には、酸化シリコン層144が形成されている。すなわち、層間絶縁層140は、窒化物を含む層142と、酸化シリコン層144とで構成されている。

この層間絶縁層140には、たとえば、ドレイン領域16に到達するコンタクトホール146が形成されている。コンタクトホール146内には、コンタクト層132が形成されている。コンタクト層132は、たとえばタングステンプラグからなる。さらに、コンタクト層132および層間絶縁層140の上には所定パターンの配線層130が形成されている。

以下、本実施の形態に係る半導体装置の作用効果を説明する。

本実施の形態においては、層間絶縁層 140 は、窒化物を含む層 142 を含む。このため、層間絶縁層 140 を形成した後における、種々の工程において発生するプロセス・インデュースト・チャージから、メモリトランジスタ 200 を保護することができる。また、メモリトランジスタの絶縁層（ゲート絶縁層、中間絶縁層）を劣化する水素などの分子やイオンから、メモリトランジスタの絶縁層を保護することができる。その結果、メモリトランジスタ 200 の書換え可能回数の特性を向上させることができる。

以下、第 2 の実施の形態に係る半導体装置の製造方法について説明する。図 9 および図 10 は、第 2 の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

(1) 図 9 (a) に示すように、半導体基板 110 の上に、酸化シリコン層（ゲート絶縁層） 120 を形成する。酸化シリコン層 120 は、たとえば熱酸化法により形成することができる。酸化シリコン層 120 の厚さは、特に限定されないが、ゲート耐圧、データ保持特性を考慮して規定され、たとえば 6 ~ 14 nm である。

次に、酸化シリコン層 120 の上に、フローティングゲートのためのポリシリコン層 122 を形成する。ポリシリコン層 122 は、たとえば CVD 法により形成することができる。ポリシリコン層 122 の厚さは、たとえば 10 ~ 20 nm である。

次に、ポリシリコン層 122 の上に、中間絶縁層 124 を形成する。中間絶縁層 124 は、たとえば、酸化シリコン層、または、ONO 膜から構成されることができる。中間絶縁層 124 は、たとえば CVD 法により形成される。中間絶縁層 124 の厚さは、たとえば 20 ~ 30 nm である。

次に、中間絶縁層 124 の上に、コントロールゲートのためのポリシリコン層 126 を形成する。ポリシリコン層 126 は、たとえば CVD 法により形成することができる。ポリシリコン層 126 の厚さは、たとえば 20 ~ 40 nm である。

次に、ポリシリコン層 126 の上に、所定のパターンを有するレジスト層 R2 を形成する。その後、図 9 (b) に示すように、レジスト層 R2 をマスクとして、

ポリシリコン層 126、中間絶縁層 124 およびポリシリコン層 122 を選択的にエッチングする。その後、レジスト層 R2 を除去する。

次に、図 10 (a) に示すように、ポリシリコン層 (コントロールゲート) 126、中間絶縁層 124 およびポリシリコン層 (フローティングゲート) 122 の側壁において、サイドウォール 130 を形成する。サイドウォール 130 は、たとえば次のようにして形成することができる。CVD 法などによって、シリコン酸化膜 (図示せず) を全面に形成する。次いで、反応性イオンエッチングなどによって、シリコン酸化膜を異方性エッチングすることにより、サイドウォール 130 を形成することができる。また、シリコン酸化膜のエッチングの後、シリコン基板 110 の上の酸化シリコン層 120 もエッチングする。

次に、シリコン基板 110 内に、不純物をイオン注入し、ソース/ドレイン領域 114, 116 を形成する。

次に、図 10 (b) に示すように、全面に、窒化物を含む層 142 を形成する。窒化物を含む層 142 は、第 1 の実施の形態と同様にして形成することができる。

次に、窒化物を含む層 142 の上に、酸化シリコン層 144 を形成する。こうして、窒化物を含む層 142 と、酸化シリコン層 144 とで構成される層間絶縁層 140 が形成される。次に、必要に応じて、たとえば化学的機械的研磨法により、層間絶縁層 140 を平坦化する。

次に、図 8 に示すように、リソグラフィ技術を利用して、層間絶縁層 140 を選択的にエッチングし、スルーホール 146 を形成する。次に、スルーホール 146 内に、導電材を充填し、コンタクト層 132 を形成する。次に、層間絶縁層 140 の上に、コンタクト層 132 に電氣的に接続された配線層 130 を形成する。

第 2 の実施の形態は、次の変形が可能である。

(1) 窒化物を含む層 142 は、図 11 に示すように、層間絶縁層 140 の中間層として設けられてもよい。具体的には、層間絶縁層 140 は、酸化シリコン層 144 a、窒化物を含む層 142 および酸化シリコン層 144 b が順次積層されて構成されていてもよい。

(2) 窒化物を含む層 142 は、図 12 に示すように、薄い酸化シリコン層 148 を介して、下地の上に形成されることが好ましい。酸化シリコン層 148 を形成することにより、窒化物を含む層 142 と下地との密着性が向上し、また、窒化物を含む層 142 のダメージを低減することができる。酸化シリコン層 148 の厚さは、たとえば 10～30 nm である。

そして、酸化シリコン層 148 を 10～30 nm と薄く形成すると、第 1 の実施の形態の変形例 (2) と同様の効果を得ることができる。

(3) 窒化物を含む層 142 は、図 13 に示すように、層間絶縁層 140 の最上層として設けられてもよい。具体的には、層間絶縁層 140 は、酸化シリコン層 144 および窒化物を含む層 142 が順次積層されて構成されていてもよい。この場合、層間絶縁層 140 は、酸化シリコン層 144 を全面に堆積した後、酸化シリコン層 144 を CMP 法により平坦化した後、窒化物を含む層 142 を堆積して形成されることができる。

[実験例 1]

層間絶縁層の最下層に窒化シリコン層を形成した場合（実施例）と、窒化シリコン層を形成しない場合（比較例）とで、メモリの特性がどのように異なるか調べた。調べたメモリの特性は、FTV (Forward Tunnel Voltage)、FTUR (Forward Trap Up Rate) および書換え可能回数 (Endurance) の 3 つの特性である。なお、実施例および比較例のメモリセルにおける不揮発性メモリトランジスタは、スプリットゲート型とした。また、実施例のメモリセルにおける不揮発性メモリトランジスタと、比較例のメモリセルにおける不揮発性メモリトランジスタとは、同一の条件で形成された。実施例における層間絶縁層は、窒化シリコン層と酸化シリコン層とが順次積層されて構成された。実施例における窒化シリコン層の厚さは、50 nm であった。窒化シリコン層は、CVD 法により形成された。比較例における層間絶縁層は、酸化シリコン層のみから構成された。

図 14 は、FTV と、累積サンプル率 (Cumulative Percent) との関係を示すグラフである。FTV とは、フローティングゲートとコントロールゲートとの間にある基準電流を流すのに必要な電圧のうち、基準電流を流し始めた直後： T_1 (s) 後の電圧をいう。なお、本実験例では、基準電流を 10 nA、 $T_1 = 0$ 。

1 sとした。また、実施例および比較例ともに、メモリチップのサンプル数を25個とした。

また、累積サンプル率とは、全サンプルの確率プロットである。例えば、図14において、累積サンプル率50%、FTV 7.0 Vの点に比較例の1プロットがあるが、これは比較例の全サンプル数25個のうち50%は、FTVが7.0 V以下であると読むことができる。

図14から、実施例のFTVの値は、比較例のFTVの値より低いことがわかる。FTVの値が低いほど、消去効率がいい。したがって、実施例の場合には、比較例の場合に比べて、消去効率に関して優れているのがわかる。

また、実施例の場合、FTVのばらつき度合いが、比較例の場合に比べて低い。つまり、実施例のグラフの傾きは、比較例のグラフの傾きより大きい。FTVのばらつき度合いが低いほど、特性安定性がよい。つまり、グラフの傾きが大きいほど、特性安定性がよい。したがって、実施例の場合には、比較例の場合に比べて、特性安定性がいい。

図15は、FTURと、累積サンプル率との関係を示すグラフである。なお、実施例および比較例ともに、メモリチップのサンプル数を25個とした。ここで、FTURとは、フローティングゲートとコントロールゲートとの間に、ある基準電流を一定時間流したときの電位変動割合をいう。具体的には、基準電流を流し始めた直後： T_1 (s) の電圧、すなわちFTVを V_1 (V)、基準電流を流し始めてから一定時間 T_2 (s) 後の電圧を V_2 (V) とすると、FTURは下記の式で表される。

$$FTUR = (V_2 - V_1) / (\log_{10} T_2 - \log_{10} T_1) \cdots (1)$$

なお、本実験例では、基準電流を10 nA、 $T_1 = 0.1$ s、 $T_2 = 5.0$ sとした。また、実施例および比較例ともに、メモリチップのサンプル数を25個とした。

図15から、実施例のFTURの値は、比較例のFTURの値より低い。FTURの値が低いということは、その分だけ、トンネル絶縁層に電子がトラップされ難いということを示す。したがって、実施例の場合には、比較例の場合に比べて、トンネル絶縁層に電子がトラップされ難いということがいえる。

また、実施例のFTURは、比較例の場合に比べて、ばらつき度合いが低い。つまり、実施例のグラフの傾きは、比較例のグラフの傾きより大きい。FTURのばらつき度合いが低いほど、特性安定性がよい。つまり、グラフの傾きが大きいほど、特性安定性がよい。したがって、実施例の場合には、比較例の場合に比べて、特性安定性において優れているといえる。なお、図15のFTURの単位を「V/decade」とした。

図16は、書換え可能回数（Endurance）と、累積サンプル率との関係を示すグラフである。ここで、書換え可能回数とは、セル電流値が初期値に対して50%となるまでの書換え回数をいう。なお、実施例および比較例ともに、メモリチップのサンプル数を10個とした。

図16から、実施例の場合には、比較例の場合に比べて、同一の累積サンプル率において、書換え可能回数が向上していることがわかる。

〔実験例2〕

ここでは、図6に示される実施の形態において、酸化シリコン層48の膜厚とメモリ特性との関係について調べた。本実験例においては、この酸化シリコン膜を、TEOSを用いた減圧CVD法によって形成している。

図17は、層間絶縁層の最下層に形成された酸化シリコン層の膜厚によって、FTURおよびWL-Vthがどのように変化するかを示すグラフである。WL-Vthとは、図6に示すメモリトランジスタ100において、データ消去後のコントロールゲート28の閾値電圧を表し、Delta WL-Vthとは、その閾値電圧の酸化シリコン層48を設けずに直接窒化物を含むシリコン層42を設けた場合に対する各構造での変化量を表す。Delta WL-Vthは、その値が低いほど閾値電圧の変化量が少なく、メモリ特性の安定性を測る指標となるものである。なお、図17において、縦軸のFTURおよびDelta WL-Vthは、酸化シリコン層48を設けずに直接窒化物を含むシリコン層42を設けた場合を基準（1.0）として、各測定値を規格化しその値をグラフにプロットしてある。

図17において、Delta WL-Vthは、酸化シリコン膜が30nm以上になると急激に下がる。よって、コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定させるには、酸化シリコン膜の膜厚を30nm以上にさせることが好

ましい。一方、FTURに着目すると、膜厚が70 nm以下でその値が1.2以下となっている。この比較値1.2は、絶対値に換算すると0.6 (V/decade)となるが、0.6以下でメモリとして求められる書換え可能回数を確保することができる。このことから、膜厚を70 nm以下とすることで必要な書換え可能回数を確保することができる。

このように、酸化シリコン膜の膜厚を30～70 nmにすることで、書換え可能回数上必要な特性を確保するとともに、コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定化させることができる。

〔実験例3〕

ここでは、図6に示される実施の形態において、酸化シリコン層48として、TEOSを用いた減圧CVD法によって形成された酸化シリコン層（以下、LP-TEOS層という。）を用いた場合の $\Delta WL-V_{th}$ と、TEOSを用いたプラズマCVD法によって形成された酸化シリコン層（以下、P-TEOS層という。）を用いた場合の $\Delta WL-V_{th}$ とを比較した。なお、LP-TEOS層、P-TEOS層のいずれも膜厚は50 nmとし、その他の構造が同一のものを実験例として採用した。結果は次式の通りである。

$$(\text{LP-TEOS層を採用した } \Delta WL-V_{th}) / (\text{P-TEOS層を採用した } \Delta WL-V_{th}) = 0.686$$

このことから酸化シリコン層48としてLP-TEOS層を用いると、P-TEOS層を用いる場合に比べても、コントロールゲートの閾値電圧の変化量を約30%も抑えることができることから、より安定したメモリ特性を得ることができる。

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

例えば、本発明の構成を備える層間絶縁層が、不揮発性メモリトランジスタが形成されるメモリ領域にとどまらず、ロジック回路などを形成する周辺回路領域まで形成されていても良い。また、メモリトランジスタとしてMOSトランジスタを用いたものであっても良い。

The entire disclosure of Japanese Patent Application No. 2001-032069 filed February 8, 2001 and Japanese Patent Application No. 2002-021025 filed January 30, 2002 is incorporated by reference herein.